

DISEÑO DIGITAL 2

MEMORIA DEL DISEÑO :

NIVEL ELECTRÓNICO

**Autores**:

Ricardo Javier Cuenca Cuenca,

Lukas Sylvester Gdanietz de Diego,

Hao Feng Chen Fu

**Curso** 2021-2022.

**Control de versiones : V.0**

|  |  |  |  |
| --- | --- | --- | --- |
| Versión | Fecha | Autor | Cambios realizados |
| 0.0 | 03/05/2022 | G4 | Inicial |

Tabla de contenido

[1 Especificación del diseño. 4](#_Toc9009837)

[1.1 Introducción 4](#_Toc9009838)

[1.2 Interfaces 4](#_Toc9009839)

[1.2.1 Interfaz con los sensores capacitivos 4](#_Toc9009840)

[1.2.2 Interfaz con el sensor de temperatura 4](#_Toc9009841)

[1.2.3 Interfaz con la barra de displays de 7 segmentos 5](#_Toc9009842)

[1.3 Especificaciones funcionales 5](#_Toc9009843)

[1.4 Especificaciones no funcionales 6](#_Toc9009844)

[2 Diseño jerárquico 7](#_Toc9009845)

[2.1 Bloque Temporizador 8](#_Toc9009846)

[2.2 Bloque Controlador de Sensores Capactivos 8](#_Toc9009847)

[2.3 Bloque Periférico I2C 9](#_Toc9009848)

[2.4 Bloque Periférico SPI 11](#_Toc9009849)

[2.5 Bloque PROCESADOR DE MEDIDA 11](#_Toc9009850)

[2.6 Bloque DISPLAYS 12](#_Toc9009851)

[3 Diseño detallado 13](#_Toc9009852)

[3.1 Estructura del proyecto 13](#_Toc9009853)

[3.2 Jerarquía del diseño y diseño detallado 14](#_Toc9009854)

[4 Pruebas de verificación funcional de MEDTSCAP 17](#_Toc9009855)

[4.1 Test del periférico SPI 17](#_Toc9009856)

[4.2 Test del periférico I2C 17](#_Toc9009857)

[5 Diseño físico 18](#_Toc9009858)

[5.1 Asignación de pines 18](#_Toc9009859)

[5.2 Restricciones de la síntesis 18](#_Toc9009860)

[5.3 Recursos utilizados 19](#_Toc9009861)

[5.4 Frecuencia máxima de reloj 19](#_Toc9009862)

[6 Prototipado 20](#_Toc9009863)

[7 Bibliografía 21](#_Toc9009864)

# Especificación del diseño.

## Introducción

El circuito LIS2DH12 es un acelerómetro lineal para tres ejes controlable mediante una interfaz SPI. Este circuito esta disponible en la t

## Interfaces

El sistema se interconecta al acelerómetro y a una barra de displays de 7 segmentos y 7 leds a través de las interfaces que se describen a continuación.

Diagrama

Descripción generada automáticamente

*Fig. 1. Interconexión del Gsensor a la barra de displays de 7 segmentos y a 7 leds.*

### Interfaz con la barra de displays de 7 segmentos

El sistema realiza la presentación de los datos utilizando una barra de displays de 7 segmentos del tipo cátodo común. La interfaz es la siguiente :

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| seg[7..0] | salida | seg[0] : segmento g  seg [1] : segmento f  seg [2] : segmento e  seg [3] : segmento d  seg [4] : segmento c  seg [5] : segmento b  seg [6] : segmento a  seg [7] : segmento punto |
| mux\_disp[4..0] | salida | mux\_disp [0] : cátodo del display 0 (LSD)  mux\_disp [1] : cátodo del display 1  mux\_disp [2] : cátodo del display 2  mux\_disp [3] : cátodo del display 3  mux\_disp [4] : cátodo del display 4 |

La interfaz permite iluminar solo un display a la vez. El display se selecciona activando (a nivel bajo) el cátodo correspondiente. El display activo se ilumina de acuerdo al código de 7 segmentos y punto decimal introducido (nivel alto).

## Especificaciones funcionales

|  |  |
| --- | --- |
| Ref | Especificación |
| ESP00 |  |
| ESP01 |  |
| ESP02 |  |
| ESP03 |  |
| ESP04 |  |
| ESP05 |  |
| ESP06 |  |
| ESP07 |  |
| ESP08 |  |

## Especificaciones no funcionales

|  |  |
| --- | --- |
| Ref | Especificación |
| ESP9 |  |
| ESP10 |  |
| ESP11 |  |
| ESP12 |  |
| ESP13 |  |
| ESP14 |  |

Bloque Temporizador

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |

Se generan las señales de tiempo que requieren los bloques Display y los 7 leds, Periférico SPI.

## Bloque Controlador de Sensores Gsensor

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

## Bloque Periférico SPI

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

El bloque funciona de la siguiente manera:

El circuito está dividido en 5 circuitos:

* Periférico\_SPI: se utiliza para instanciar los circuitos correspondientes este bloque.
* Control\_SPI: Controla la transferencia de datos, solicitando cada segundo la lectura de datos de temperatura al sensor.
* Filtro SI\_O: Se utiliza para filtrar los posibles glitches de la señal SI\_O y evitar metaestabilidad.
* gen\_SC: Realiza la señal de reloj de la interfaz SPI
* reg\_in\_SI\_O: Almacena los datos leídos del sensor en un registro de 16 bits.

## Bloque PROCESADOR DE MEDIDA

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

## Bloque DISPLAYS

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

Este bloque es utilizado para la conversion de BCD a 7 segmentos y asi realizar la representación en los Displays.

# Diseño detallado

## Estructura del proyecto

El proyecto está almacenado en la carpeta GSensor, que a su vez contiene las carpetas hdl, modelsim y quartus. La carpeta *hdl* contiene los ficheros RTL y estructural del diseño, así como los modelos VHDL para simulación de los IPs de Intel Altera que se han utilizado. La carpeta *modelsim* contiene el proyecto de simulación (MEDTH.mpf), y los ficheros donde se definen los diferentes test‑benches. Finalmente, *quartus* contiene el proyecto para el diseño físico y los ficheros relacionados con éste. La siguiente figura muestra la jerarquía de carpetas dentro de la carpeta MEDTSCAP:

## Jerarquía del diseño y diseño detallado

En la siguiente tabla se muestra la jerarquía del diseño y se realiza una descripción somera de los módulos que la componen. Los detalles del funcionamiento de cada módulo se han documentado en comentarios en la cabecera de los propios módulos.

# Pruebas de verificación funcional de MEDTSCAP

## Test del periférico SPI

Es un test específico para el módulo del periférico SPI. Consiste en un conjunto de pruebas exhaustivo en las que se comprueba el funcionamiento de todas las opciones de configuración y en todos los modos de trabajo.

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test |  | |
| Simulación escalada |  | |
| Ficheros |  |  |
| Descripción del test |  | |

# Diseño físico

En este apartado se documentan los detalles básicos relacionados con el diseño físico del circuito: la asignación de pines, las restricciones de la síntesis y los informes que proporciona Quartus Prime sobre los recursos de la FPGA utilizados y la frecuencia máxima de reloj obtenida.

## Asignación de pines

En la siguiente tabla se detalla la asignación de los pines de la interfaz de GSensor a los pines de la FPGA especificando para cada caso el tipo de pin, el número de pin de la FPGA que se corresponde con el pin del diseño, el banco al que corresponde, el estándar de entrada/salida que utiliza, el fan-out (para los pines de salida) y el slew-rate.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Pin de la interfaz del diseño | Dirección | Pin FPGA | I/O bank | I/O standard | Current strength  (mA) | Slew rate | Pull-up interno |
| clk | Input | M8 | 2 | 2.5-V | 12 | N.A. | No |
| rst\_n | Input | H21 | 6 | 1.5-V Schmitt Trigger | N.A. | N.A. | No |
| SCL | Bidir | AB2 | 3 | 3.3-V Schmitt Trigger | N.A. | N.A. | No |
| SDA | Bidir | AB3 | 3 | 3.3-V Schmitt Trigger | N.A. | N.A. | No |
| CSn | Output | AB4 | 3 | 3.3-V LVTTL | 8 | 2 | No |
| SC | Output | AA1 | 3 | 3.3-V LVTTL | 8 | 2 | No |
| SI\_O | Bidir | Y2 | 3 | 3.3 V Schmitt Trigger | 8 | 2 | No |
| seg [0] | Output | W16 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| seg [1] | Output | AB11 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| seg [2] | Output | W15 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| seg [3] | Output | AB10 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| seg [4] | Output | AA15 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| seg [5] | Output | W12 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| seg [6] | Output | AA13 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| seg [7] | Output | AB12 | 4 | 3.3-V LVTTL | 8 | 2 | No |
| mux\_disp[0] | Output | Y5 | 3 | 3.3-V LVTTL | 8 | 2 | No |
| mux\_disp[1] | Output | W6 | 3 | 3.3-V LVTTL | 8 | 2 | No |
| mux\_disp[2] | Output | W8 | 3 | 3.3-V LVTTL | 8 | 2 | No |
| mux\_disp[3] | Output | AB8 | 3 | 3.3-V LVTTL | 8 | 2 | No |
| mux\_disp[4] | Output | R11 | 3 | 3.3-V LVTTL | 8 | 2 | No |

## Restricciones de la síntesis

Recogidas en MEDTH.sdc :

- Reloj

* Fijar las unidades (ns) y la precisión de los decimales del reloj (3 decimales)
* Creación del reloj objetivo con 50MHz de frecuencia en el puerto clk y con un ciclo de trabajo del 50%
* Fijar la incertidumbre del reloj

- Fijar los puertos de entrada del sistema (SDA, SI\_O, nRst)

- Fijar los puertos de salida del sistema (Led\_izq, Led\_der, SC, SCL, CS\_n, SI\_O, SDA, seg[7..0], mux\_disp[7..0] )

## Recursos utilizados

+----------------------------------------------------------------------------------+

; Fitter Summary ;

+------------------------------------+---------------------------------------------+

; Fitter Status ; Successful - Fri May 17 17:11:30 2019 ;

; Quartus Prime Version ; 16.0.0 Build 211 04/27/2016 SJ Lite Edition ;

; Revision Name ; MEDTSCAP ;

; Top-level Entity Name ; MEDTSCAP ;

; Family ; MAX 10 ;

; Device ; 10M50DAF484C6GES ;

; Timing Models ; Preliminary ;

; Total logic elements ; 615 / 49,760 ( 1 % ) ;

; Total combinational functions ; 605 / 49,760 ( 1 % ) ;

; Dedicated logic registers ; 285 / 49,760 ( < 1 % ) ;

; Total registers ; 285 ;

; Total pins ; 22 / 360 ( 6 % ) ;

; Total virtual pins ; 0 ;

; Total memory bits ; 4,096 / 1,677,312 ( < 1 % ) ;

; Embedded Multiplier 9-bit elements ; 0 / 288 ( 0 % ) ;

; Total PLLs ; 1 / 4 ( 25 % ) ;

; UFM blocks ; 0 / 1 ( 0 % ) ;

; ADC blocks ; 0 / 2 ( 0 % ) ;

+------------------------------------+---------------------------------------------+

## Frecuencia máxima de reloj

122,4 MHz – Ajuste de compilacion: Balanced (normal flow)

# Prototipado

En este apartado se enumeran las pruebas realizadas con el prototipo y el resultado de cada una de ellas. Todas las pruebas se han realizado en las siguientes condiciones:

* Tarjeta DECA-MAX10 con la tarjeta de expansión conectada.
* Tarjeta alimentada con el alimentador USB
* FPGA de la tarjeta configurada con el diseño ()

|  |  |  |
| --- | --- | --- |
| Ref. | Descripción | Resultados |
| PR00 |  |  |
| PR01 |  |  |
| PR02 |  |  |
| PR03 |  |  |

# Bibliografía

[1] UM10204. I2C bus specification and user manual [online] <http://www.nxp.com/documents/user_manual/UM10204.pdf>

[2] LM71/LM71-Q1 SPI/MICROWIRE

<http://www.ti.com/lit/ds/snis125e/snis125e.pdf>

[3] Tarjeta DECA-MAX10 (página web del fabricante). [online] <https://www.arrow.com/en/products/deca/arrow-development-tools>

[4] Tarjeta XDECA. Manual de usuario. [moodle DD2-documentacion técnica]